

JP5075394

Publication Title:

DIGITAL FILTER AND DIGITAL SIGNAL PROCESSING SYSTEM

Abstract:

Abstract of JP5075394

PURPOSE:To provide the digital filter with less number of components by adopting pipeline structure and multi-stage cascade connection between units in a direct type digital filter in which the building block unit is formed for each of several taps so as to solve a pipeline processing adaptability problems.
CONSTITUTION:The direct digital filter whose building block unit consists of 8 taps comprising filters 5-1-5-8 is provided with pipeline registers 10, 11. Moreover, an output of a 10-input adder 8 is not the result of sum of 8 data but an output of the result on the way of arithmetic operation. Furthermore, the filter is provided with a data delay device 12 for phase matching to allow multi-stage cascade connection of the filters 5-1-5-8. As a result, the pipeline registers 10, 11 relax the gate delay stage number required for addition of the result of multiplication of all taps. Furthermore, since outputs of the adder 8 are two outputs on the way of arithmetic operation result, a carry propagation delay is eliminated. Moreover, the multi-stage cascade connection of the filters 5-1-5-8 is available, then the 8-tap digital filters are connected in cascade. As a result, the digital filter with less number of components is realized.

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-75394

(43) 公開日 平成5年(1993)3月26日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 H 17/06	Z	7259-5 J		
G 0 6 F 15/31	D	6798-5 L		
H 0 3 H 17/02	H	7259-5 J		

審査請求 未請求 請求項の数 5 (全 11 頁)

(21) 出願番号 特願平3-234582

(22) 出願日 平成3年(1991)9月13日

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 崎山 史朗

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 丸山 征克

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 小鍛冶 明 (外2名)

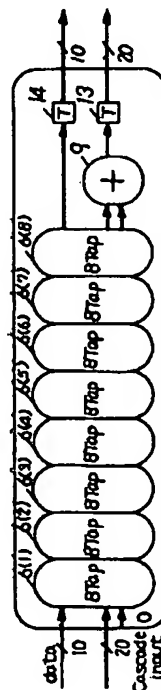
(54) 【発明の名称】 デジタルフィルタ及びデジタル信号処理システム

(57) 【要約】

【目的】 F I R型デジタルフィルタの直接型構成において問題とされた、パイプライン処理の適合性やレイアウト上の問題を解決し、従来より素子数の少ないデジタルフィルタを提供することを目的とする。

【構成】 直接型構成のF I R型デジタルフィルタにおいて、数タップ毎の直接型デジタルフィルタを構成単位6とし、各構成単位間をパイプライン構造とし多段従属接続し、かつ多入力加算の演算結果出力を演算途中結果のまま各構成単位間を伝搬するデジタルフィルタを構成する。

【効果】 従来の転置型構成のデジタルフィルタと比較し、ゲート数、消費電力、チップ面積等を削減することが可能となる。



1

【特許請求の範囲】

【請求項1】第1の入力データに対する n 段の遅延器と、前記 n 段目の遅延器の出力を記憶する第1のレジスタと、前記各遅延器の出力データと任意の係数とを乗算する n 個の乗算器と、前記 n 個の乗算器出力結果と外部からの第2、第3の入力データとを加算する $(n+2)$ 入力の加算器と、前記加算器の加算途中結果として記憶する2本の第2、第3のレジスタとを有する、 n タップデジタルフィルタを第1の構成単位とし、前記構成単位の第1のレジスタの出力を次段の構成単位の第1の入力データとし、前記構成単位の第2、第3のレジスタの出力を次段の構成単位の第2、第3の入力データとすることにより、前記構成単位を m 個多段従属接続し、前記多段従属接続された最終段の構成単位の第2、第3のレジスタの2個の出力を加算する加算器と、前記加算結果を納める第4のレジスタとを備え、前記多段従属接続された初段の構成単位の加算器への第3の入力データを0とする $n \times m$ タップデジタルフィルタ。

【請求項2】請求項1記載の $n \times m$ タップデジタルフィルタにおいて、 m 段目の構成単位の第1のレジスタの出力を記憶する第5のレジスタを有する、 $n \times m$ タップデジタルフィルタを第2の構成単位とし、前記第2の構成単位の第5のレジスタの出力を次段の第2の構成単位の第1の入力データとし、前記第2の構成単位の第4のレジスタの出力を次段の第2の構成単位の第2の入力データとすることにより、前記第2の構成単位を j 個多段従属接続する $n \times m \times j$ タップデジタルフィルタ。

【請求項3】請求項1記載の第1の構成単位である n タップデジタルフィルタにおいて、各タップ毎に、前段タップ遅延器からの出力信号を入力とし、次段タップ遅延器への入力信号として出力する遅延器と、前記遅延器の出力データと任意の係数とを乗算する乗算器と、前記乗算結果出力と前段タップからの和出力信号と桁上げ出力信号を入力とし、次段タップの和入力信号と桁上げ入力信号として出力する全加算器群を有し、前記各タップを最小構成単位とし、前記最小構成単位の n 段従属接続により構成される、 $n \times m$ タップデジタルフィルタ。

【請求項4】第1の入力データに対する n 段の遅延器と、前記 n 段目の遅延器の出力を記憶する第1のレジスタと、前記各遅延器の出力データと任意の係数とを乗算する n 個の乗算器と、前記 n 個の乗算器出力結果と外部からの第2の入力データとを加算する $(n+1)$ 入力の加算器と、前記加算器の加算結果を記憶する第2のレジスタとを有する、 n タップデジタルフィルタを第1の構成単位とし、前記構成単位の第1のレジスタの出力を次段の構成単位の第1の入力データとし、前記構成単位の第2のレジスタの出力を次段の構成単位の第2の入力データとすることにより、前記構成単位を m 個多段従属接続する $n \times m$ タップデジタルフィルタ。

【請求項5】請求項1、2、3、4のいずれかに記載の

2

$n \times m$ タップデジタルフィルタの出力と、前記 $n \times m$ タップデジタルフィルタの l 番目 $(0 \leq l \leq n \times m)$ の遅延器の出力とのどちらかを選択する選択器と、前記選択器の出力を制御する制御回路とを有するデジタル信号処理システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、画像信号や音声信号等のフィルタリングを行う、デジタルフィルタ及びデジタル信号処理システムに関するものである。

【0002】

【従来の技術】FIR型のデジタルフィルタの構成には以下に示す図9、図10の2通りの方法がある。

【0003】図9は直接型構成の n タップデジタルフィルタであり、 $1(1) \sim 1(n-1)$ は遅延器、 $2(1) \sim 2(n)$ は乗算器、 $3(1) \sim 3(n)$ は加算器である。

【0004】図10は転置型構成の n タップデジタルフィルタであり、 $1(1) \sim 1(n-1)$ は遅延器、 $2(1) \sim 2(n)$ は乗算器、 $3(1) \sim 3(n)$ は加算器である。

【0005】図9における直接型回路構成では、入力データに遅延器1が入っている。それに対し図10における転置型回路構成では、乗加算結果に遅延器1が入っている。直接型の遅延器は入力データに対するものであるが、転置型は乗算し加算された結果に対する遅延器であるため、遅延器のビット幅は、乗算器の乗係数の分だけ転置型の方が大きくなる。従って、素子数の面では直接型のほうが少なく有利である。

【0006】しかし直接型では、 n 個の乗算結果を1クロック内に加算することが困難であり、また上記演算をパイプライン処理すれば、レイアウト上の困難さを伴う。つまり、直接型構成でタップ数の多いデジタルフィルタでは、各乗算結果を1クロック内にすべて加算することは不可能である。またレイアウト的にも、各乗算結果を1カ所に集め加算することは、配線領域が多く、フルカスタム設計ではかなり面倒で適切でない。

【0007】それに対し転置型では、1タップ分の乗加算(積和)を基本単位として、規則的にアレイ上に並べることが可能である。また遅延器が、加算演算のパイプラインレジスタとしての役割も兼ねるため、パイプライン処理に適した構造となっている。したがって、素子数が多いのにもかかわらず、従来よりカスタムチップのほとんどが転置型を採用してきた。

【0008】また、FIR型のデジタルフィルタを用いて波形等化システム等のデジタル信号処理システムを構築する際、転置型構成のデジタルフィルタを用いた場合、図11のようになる。

【0009】図11は転置型構成の n タップデジタルフィルタを用いた波形等化システムの構成例であり、 $1(1) \sim 1(n)$ と $17(3) \sim 17(n)$ は遅延器、 $2(1) \sim 2(n)$ は乗算器、 $3(1) \sim 3(n)$ は加算器、15は選択器、16は選択器15の

3

制御及び各タップの乗算係数等を制御する制御回路である。

【0010】波形等化システム等のデジタル信号処理システムでは、各乗算係数が決定されるまで、デジタルフィルタの出力ではなく、入力信号そのものを出力する機能を必要とする。その場合、入力信号の出力とデジタルフィルタ出力との位相を合わせなければならない。そのため転置型構成では、入力信号に対する位相合わせのための遅延器17が必要となる。

【0011】しかし直接型構成の n タップデジタルフィルタを用いた波形等化システムでは、図8のような構成例となる。図8において、1(1)~1(n)は遅延器、2(1)~2(n)は乗算器、3(1)~3(n)は加算器、15は選択器、16は選択器15の制御及び各タップの乗算係数等を制御する制御回路である。

【0012】図8と図11の構成例を比較してわかるように、図8では入力信号の出力とデジタルフィルタ出力との位相を合わせるための遅延器が、遅延器1群の途中から得られている。そのため転置型構成では必要であったフィルタ出力と入力信号との位相合わせのための遅延器17群を必要としない。このようなデジタル信号処理システムを構成する場合、直接型構成はシステム全体を簡略化でき、さらに回路規模の点で有利となる。

【0013】

【発明が解決しようとする課題】上記で述べたように、素子数の面で直接型が有利であるにもかかわらず、パイプライン処理の適合性やレイアウトの観点から、転置型構成がとられてきた。

【0014】このように転置型構成を採用してきたため、素子数の削減の点に於て限界があった。

【0015】本発明の目的は、デジタルフィルタの構成において直接型構成を採用し、従来の転置型構成と比較し、不利であったパイプライン処理の適合性やレイアウト上の問題を解決し、素子数の少ない直接型構成のデジタルフィルタを提供することにある。

【0016】また本発明の他の目的は、従来より回路規模の小さいデジタル信号処理システムを提供することにある。

【0017】

【課題を解決するための手段】本発明の請求項1は、第1の入力データに対する n 段の遅延器と、前記 n 段目の遅延器の出力を記憶する第1のレジスタと、前記各遅延器の出力データと任意の係数とを乗算する n 個の乗算器と、前記 n 個の乗算器出力結果と外部からの第2第3の入力データとを加算する $(n+2)$ 入力の加算器と、前記加算器の加算途中結果として記憶する2本の第2第3のレジスタとを有する、 n タップデジタルフィルタを第1の構成単位とし、前記構成単位の第1のレジスタの出力を次段の構成単位の第1の入力データとし、前記構成単位の第2第3のレジスタの出力を次段の構成単位の

4

第2第3の入力データとすることにより、前記構成単位を m 個多段従属接続し、前記多段従属接続された最終段の構成単位の第2第3のレジスタの2個の出力を加算する加算器と、前記加算結果を納める第4のレジスタとを備え、前記多段従属接続された初段の構成単位の加算器への第3の入力データを0とする $n \times m$ タップデジタルフィルタ1を構成する。

【0018】本発明の請求項2は、上述の $n \times m$ タップデジタルフィルタにおいて、 m 段目の構成単位の第1のレジスタの出力を記憶する第5のレジスタを有する、 $n \times m$ タップデジタルフィルタを第2の構成単位とし、前記第2の構成単位の第5のレジスタの出力を次段の第2の構成単位の第1の入力データとし、前記第2の構成単位の第4のレジスタの出力を次段の第2の構成単位の第2の入力データとすることにより、前記第2の構成単位を j 個多段従属接続する $n \times m \times j$ タップデジタルフィルタ2を構成する。

【0019】また本発明の請求項3は、上述の第1の構成単位である n タップデジタルフィルタにおいて、各タップ毎に、前段タップ遅延器からの出力信号を入力とし、次段タップ遅延器への入力信号として出力する該遅延器と、前記該遅延器の出力データと任意の係数とを乗算する該乗算器と、前記該乗算結果出力と前段タップからの和出力信号と桁上げ出力信号を入力とし、次段タップの和入力信号と桁上げ入力信号として出力する該全加算器群を有し、前記各タップを最小構成単位とし、前記最小構成単位の n 段従属接続により構成される、 $n \times m$ タップデジタルフィルタ4を構成する。

【0020】また本発明の請求項4は、第1の入力データに対する n 段の遅延器と、前記 n 段目の遅延器の出力を記憶する第1のレジスタと、前記各遅延器の出力データと任意の係数とを乗算する n 個の乗算器と、前記 n 個の乗算器出力結果と外部からの第2の入力データとを加算する $(n+1)$ 入力の加算器と、前記加算器の加算結果を記憶する第2のレジスタとを有する n タップデジタルフィルタを第1の構成単位とし、前記構成単位の第1のレジスタの出力を次段の構成単位の第1の入力データとし、前記構成単位の第2のレジスタの出力を次段の構成単位の第2の入力データとすることにより、前記構成単位を m 個多段従属接続する $n \times m$ タップデジタルフィルタ3を構成する。

【0021】また本発明の請求項5は、上述の $n \times m$ タップデジタルフィルタ1~4の出力と、前記 $n \times m$ タップデジタルフィルタの1番目 $(0 \leq i \leq n \times m)$ の遅延器の出力とのどちらかを選択する選択器と、前記選択器の出力を制御する制御回路とを有する、デジタル信号処理システム5を構築する。

【0022】

【作用】上記直接型デジタルフィルタ1~3の構成は、直接型構成のFIR型デジタルフィルタにおい

5

て、数タップ毎の直接型デジタルフィルタを構成単位とし、各構成単位間をパイプライン構造とし多段従属接続する構成を採ることにより、直接型構成では不利であったパイプライン処理適合性への問題を解決することが可能となり、素子数の少ないデジタルフィルタを提供することが可能となる。

【0023】また上記直接型デジタルフィルタ4の構成を採ることにより、デジタルフィルタ1で生じるレイアウト上の問題を解決することが可能となる。

【0024】さらに波形等化システム等を構築する時、
10 上記デジタルフィルタ1~4を用い、デジタル信号処理システム5を構成することにより、従来より回路規模の小さいデジタル信号処理システムを提供することが可能となる。

【0025】

【実施例】図1に直接型の8タップデジタルフィルタを構成単位とするデジタルフィルタの構成図を示す。図2にこの構成単位をカスケード接続して得られる、64タップデジタルフィルタの全体構成図を示す。

【0026】図1と図2を用いて、本発明の請求項1に
20 基づくデジタルフィルタについて説明する。図1において1(1)~1(8)は第1のデータに対する8段の遅延器、2(1)~2(8)は各遅延器1の出力データと任意の係数とを乗算する8個の乗算器、4(1)~4(8)は遅延器、5(1)~5(8)は1タップデジタルフィルタ、8は8個の乗算器2出力結果と外部からの第2、第3の入力データとを加算する10入力加算器、10、11は加算器8の加算途中結果として記憶する2本の第2、第3のレジスタからなる遅延器、12は8段目の遅延器1の出力を記憶する第1のレジスタからなる遅延器である。

【0027】図1の構成において従来の直接型デジタルフィルタと比較し特徴的なことは、(1)8タップの直接型デジタルフィルタを構成単位とし、パイプラインレジスタ10と11をもつこと、(2)10入力加算器の出力が、8個のデータの加算結果(1出力)ではなく、演算途中結果(2出力)であること、(3)位相合わせのためのデータ遅延器12を有し、8タップの直接型デジタルフィルタ間の多段従属接続を可能としていることである。

【0028】(1)のようなパイプライン構造を採ること
40 により、全タップの乗算結果の加算に要するゲート遅延段数を大幅に緩和し、また(2)により10入力加算器に要する演算のゲート遅延段数をさらに緩和することが可能となる。10入力加算器8の出力を演算途中結果の2出力にすることによって、加算器のビット幅に対する、桁上げ(carry)伝搬遅延がなくなる。また(3)により、8タップデジタルフィルタのカスケード接続が可能となる。このように演算途中結果を遅延器10と遅延器11で記憶することと、8タップデジタルフィルタの構成単位を採ることにより、乗算結果である8入力信号

6

と他の2入力信号の加算を可能としている。

【0029】図2は図1の8タップデジタルフィルタを8個カスケード接続して得られる、64タップデジタルフィルタの構成例である。図2において6(1)~6(8)は図1に示す第1の構成単位となる8タップデジタルフィルタであり、9は構成単位を8個多段従属接続し、多段従属接続された最終段の構成単位の第2第3のレジスタの2個の出力を加算する加算器、13は加算器9の加算結果を納める第4のレジスタとなる遅延器、14は8段目の構成単位の第1のレジスタの出力を記憶する第5のレジスタとなる遅延器である。

【0030】図2において、図1で示した構成単位の遅延器12の出力を次段の構成単位の遅延器1(1)の入力信号とし、遅延器10と11の出力を次段の構成単位の10入力加算器8への入力信号とすることにより、図1で示す構成単位の多段従属接続が可能となる。

【0031】図2において、演算の途中結果のまま伝搬されてきた2出力は、加算器9により最終的に加算され、ここで初めて正規の演算結果が完成する。この演算結果は、遅延器13に記憶される。

【0032】以上のように本発明の請求項1では、図1で示すような8タップ直接型デジタルフィルタを構成単位とし、これを多段従属接続し、2出力のまま伝搬された演算途中結果を図2で示す加算器9により最終的に加算することにより、直接型の問題点であるパイプライン処理の適合性の問題を解消し、64タップ直接型デジタルフィルタが完成する。

【0033】次に図2と図3を用いて、本発明の請求項2に基づくデジタルフィルタについて説明する。図3は図2の64タップデジタルフィルタを1つの構成単位(1つのLSI)として、256タップのデジタルフィルタを構成した例である。図3において7(1)~7(4)は図2に示す64タップデジタルフィルタである。図3において、図2で示した64タップデジタルフィルタの遅延器14の出力を次段の64タップデジタルフィルタの構成単位6(1)の遅延器1(1)の入力信号とし、遅延器13の出力を次段の64タップデジタルフィルタの構成単位6(1)の加算器8への入力信号とすることにより、図2で示す64タップデジタルフィルタの多段従属接続が可能となる。

【0034】図2の遅延器14は位相合わせのための遅延器で、この遅延器14により、64タップデジタルフィルタ間の従属接続が可能となる。

【0035】次に図4と図5を用いて、本発明の請求項3に基づくデジタルフィルタの10入力加算器の構成について説明する。

【0036】図4において、図面の番号は図1と同じにしてある。図4において、42(1)~42(8)は10×10乗算器を表わし、乗算器2と遅延器4からなる。8(1)~8(8)は、図1における10入力加算器8の配置を表してい

7

る。8(1)～8(8)は20ビットの全加算器であり、各タップの1タップデジタルフィルタ毎にこれを含める。各20ビットの全加算器より発生する、和出力(sum)と桁上げ出力(carry)は次段のタップの20ビット全加算器への入力となる。このように20ビット全加算器を各タップに含めることにより、タップとタップ間をアレイ状に並べることが可能となる。

【0037】図5を用いて、上述の10入力加算器8の構成について、さらに詳しく説明する。図5は、図4の10入力加算器8の配線構造を示したものであり、図5において、8(1.1)～8(1.20)は図4での20ビット全加算器8(1)の構成部品である。同様に8(2.1)～8(2.20)は図4での20ビット全加算器8(2)の構成部品であり、同様に8(8.1)～8(8.20)は図4での20ビット全加算器8(8)の構成部品である。

【0038】前段の8タップ直接型デジタルフィルタから出力された和信号と桁上げ信号と図4の乗算器2(1)の乗算結果が、1タップ目の20ビット全加算器8(1)に*

8

*入力され、和信号と桁上げ信号を出力する。この出力が2タップ目の20ビット全加算器8(2)への入力信号となる。以下同様に最終8タップ目の20ビット全加算器8(8)より出力した和信号と桁上げ信号が、遅延器10、11により記憶される。

【0039】図5に示すような10入力加算器の配線構造を採り、図4に示すように各タップ毎に20ビット全加算器8を含めることにより、タップとタップ間をアレイ上に並べることが可能となり、アレイ状で簡単なレイアウト構造とすることができる。

【0040】また20ビット全加算器8(8)より出力した和信号と桁上げ信号を加算せず遅延器10、11により記憶することにより、20ビット全加算器のビット幅分の桁上げ伝搬遅延がなくなるという効果もある。

【0041】(表1)に従来の直接型構成法と転置型構成法、及び本発明の各特徴を示す。

【0042】

【表1】

	直接型	転置型	請求項1,4	請求項3
遅延器のビット幅	小	大	中	中
レイアウトのしやすさ	×	○	△	○
パイプライン処理の適合性	×	○	○	○

【0043】上記のような直接型構成とすることで、直接型構成では不利であったパイプライン処理の適合性やレイアウト上の問題を解決することができる。

【0044】次に図6と図7を用いて、本発明の請求項4に基づくデジタルフィルタについて説明する。

【0045】クロックレートが遅く、図1に示す10入力加算器8の伝搬遅延時間に余裕がある場合には、図6に示す8タップ直接型デジタルフィルタを1つの構成単位とすることが可能である。図7にこの構成単位をカスケード接続して得られる、64タップデジタルフィルタの全体構成図を示す。

【0046】図6において1(1)～1(8)は遅延器、2(1)～2(8)は乗算器、4(1)～4(8)は遅延器、5(1)～5(8)は1タップデジタルフィルタ、3(1)～3(8)は2入力加算器、10と12は遅延器である。

【0047】図6の構成では、8タップの直接型デジタルフィルタを構成単位としたパイプラインレジスタ10を有し、また位相合わせのためのデータ遅延器12を有することで、8タップの直接型デジタルフィルタ間の多段従属接続を可能としていることを特徴とする。

【0048】2入力加算器3群は、結果として9入力の加算器と同じ機能を持ち、上述したように、この9入力

加算器の伝搬遅延時間に余裕がある場合には、このような構成も可能である。図1と比較し、遅延器11が省略でき、さらに図2における、2入力加算器9や、遅延器13、14を減らすことができ、全体の回路規模が請求項1のデジタルフィルタと比較し小さくなるという効果がある。

【0049】次に従来用いられてきた転置型構成の64タップデジタルフィルタとのゲート数の比較を行う。ここでは、入力信号のビット幅を10ビット、乗算係数のビット幅を10ビット、乗算結果出力を14ビットにまるめることとし、加算器は、桁あふれが起こらないように20ビットとして比較する。

【0050】本実施例の図1及び図2に示す構成例の場合、従来の転置型と比較し遅延器が210個削減される。また本実施例の図6及び図7に示す構成例の場合、従来の転置型と比較し遅延器が370個削減される。

【0051】乗算係数が10ビットの場合を示したが、上記構成では乗算係数のビット幅が大きくなればなるほど、この効果がさらに顕著にあらわれる。

【0052】さらにこのようなデジタルフィルタを用いて、波形等化システム等のデジタル処理システムを構築する場合、各乗算係数が決定されるまで、ディジタ

ルフィルタの出力ではなく、入力信号そのものを出力する機能を必要とする。その場合、入力信号の出力とデジタルフィルタ出力との位相を合わせなければならない。既に従来例の項で述べたように、転置型構成では、入力信号に対する位相合わせのための遅延器17（図11参照）が必要となる。

【0053】次に図8を用いて、請求項5に基づく、本発明の直接型デジタルフィルタを用いたデジタル信号処理システムの構成について説明する。

【0054】本発明の直接型構成の n タップデジタルフィルタを用いた波形等化システムでは、図8のような構成例となる。図8において、1(1)～1(n)は遅延器、2(1)～2(n)は乗算器、3(1)～3(n)は加算器、15は選択器、16は選択器15の制御及び各タップの乗算係数等を制御する制御回路である。

【0055】図8と図11の構成例を比較してわかるように、図8では入力信号の出力とデジタルフィルタ出力との位相を合わせるための遅延器が、遅延器1群の途中から得られている。そのため転置型構成では必要であったフィルタ出力と入力信号との位相合わせのための遅延器群17を必要とせず、さらにシステム全体の回路規模を縮小するという効果がある。

【0056】このようなデジタル信号処理システムを構成する場合、本発明の直接型デジタルフィルタ（請求項1～4）を用いれば、システム全体を簡略化でき、さらに回路規模の点で有利となる。

【0057】本発明の直接型デジタルフィルタを用い、図8に示す波形等化システムに応用した場合、さらに遅延器500個程度のゲート数が削減される。

【0058】上記実施例では8タップデジタルフィルタを構成単位とした、64タップデジタルフィルタの構成例を述べたが、クロックレートに合わせ、上記構成単位のタップ数は拡張可能で、またこの構成単位をいくらかでも従属接続できることはいうまでもない。

【0059】

【発明の効果】上述のようなデジタルフィルタを構成することで、パイプライン構造に適さず、またレイアウト依存性のよくなかった直接型構成のデジタルフィルタを簡単に構成することが可能となり、従来の転置型構成のデジタルフィルタと比較し、ゲート数、消費電力、チップ面積等の点で有利となる。また上述の本発明

のデジタルフィルタを波形等化システム等のデジタル信号処理システムに応用した場合、システムを簡略化でき、さらにその効果は顕著となり、その実用的効果は大きい。

【図面の簡単な説明】

【図1】本発明の実施例の8タップデジタルフィルタの構成図

【図2】本発明の実施例の64タップデジタルフィルタの構成図

【図3】本発明の実施例の256タップデジタルフィルタの構成図

【図4】本発明の実施例の8タップデジタルフィルタのレイアウト構成図

【図5】本発明の実施例の8タップデジタルフィルタの10入力加算器の配線図

【図6】本発明の実施例の8タップデジタルフィルタの構成図

【図7】本発明の実施例の64タップデジタルフィルタの構成図

【図8】本発明のデジタルフィルタを用いたデジタル信号処理システムの構成図

【図9】FIR型デジタルフィルタの直接型構成図

【図10】FIR型デジタルフィルタの転置型構成図

【図11】転置型デジタルフィルタを用いたデジタル信号処理システムの構成図

【符号の説明】

1(1)～1(n-1) 遅延器

2(1)～2(n) 乗算器

3(1)～3(n) 加算器

4(1)～4(8) 遅延器

5(1)～5(8) 1タップデジタルフィルタ

6(1)～6(8) 8タップデジタルフィルタ

7(1)～7(4) 64タップデジタルフィルタ

8 10入力加算器

8(1)～8(8) 20ビット全加算器

8(1.1)～8(8.20) 1ビット全加算器

9 加算器

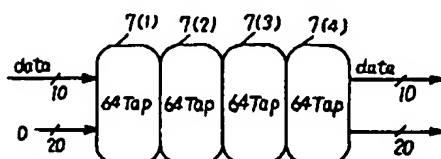
10～14 遅延器

15 選択器

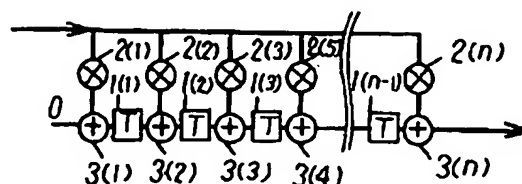
16 制御回路

17(3)～17(n) 遅延器

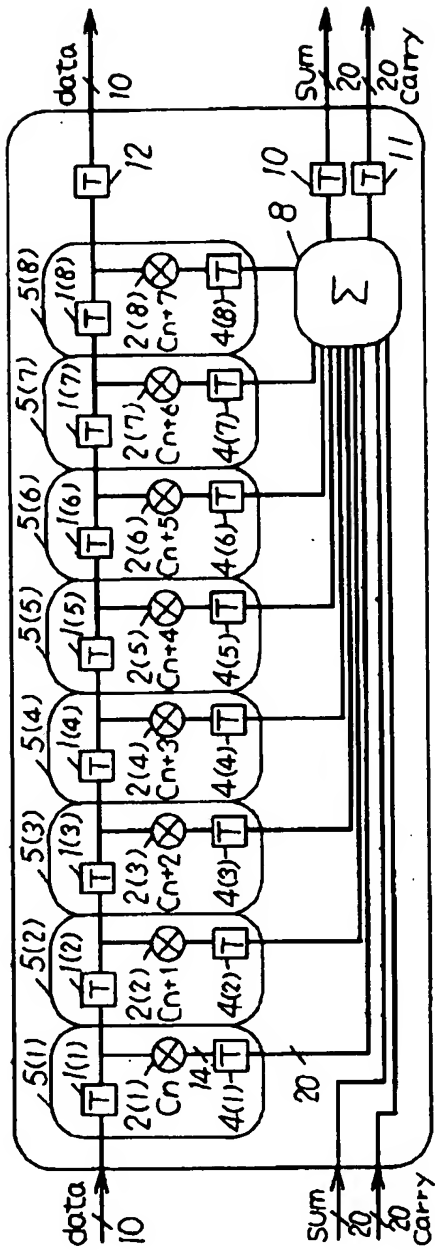
【図3】



【図10】

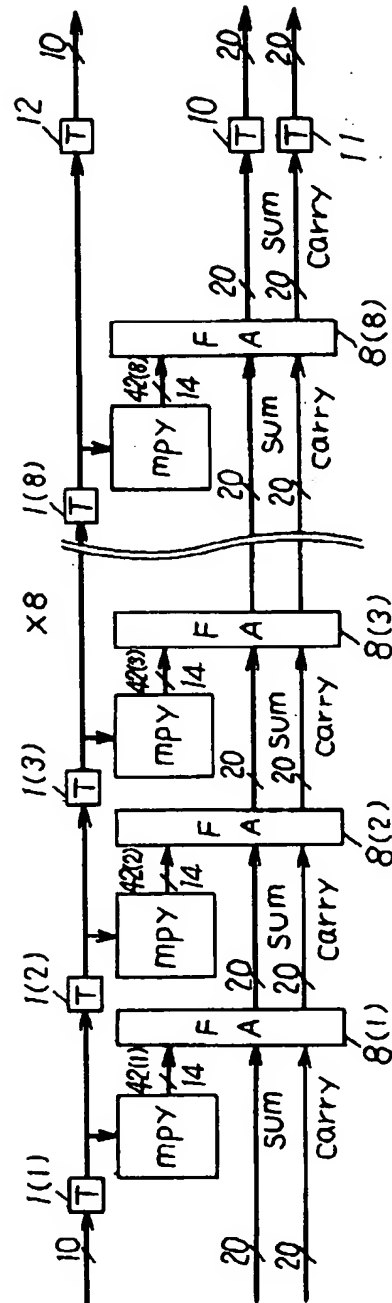


【図1】

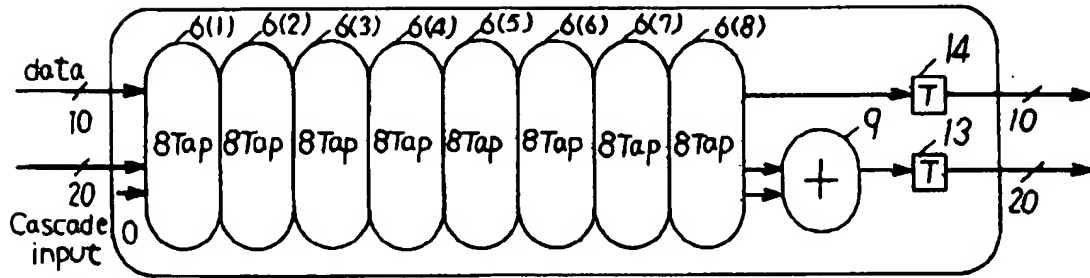


FA 20bit全加算器
mpy 10×10乗算器

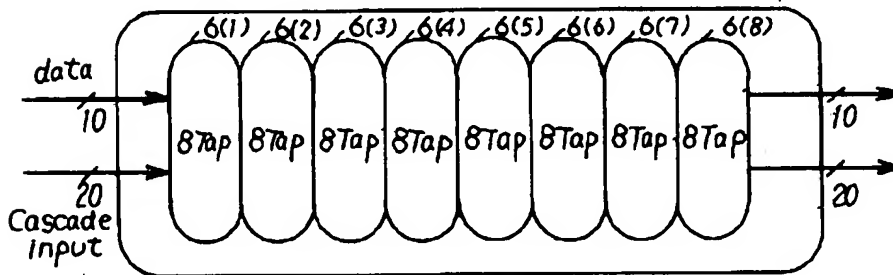
【図4】



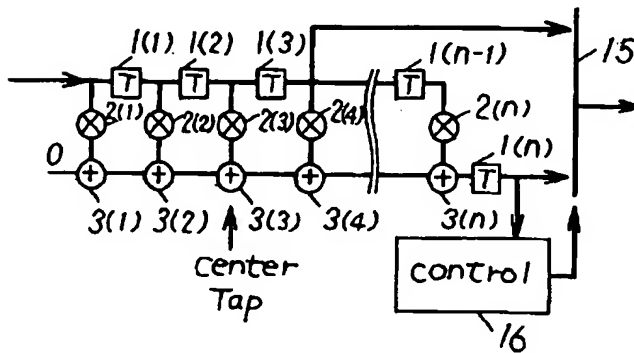
【図2】



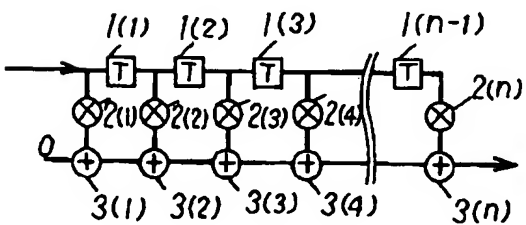
【図7】



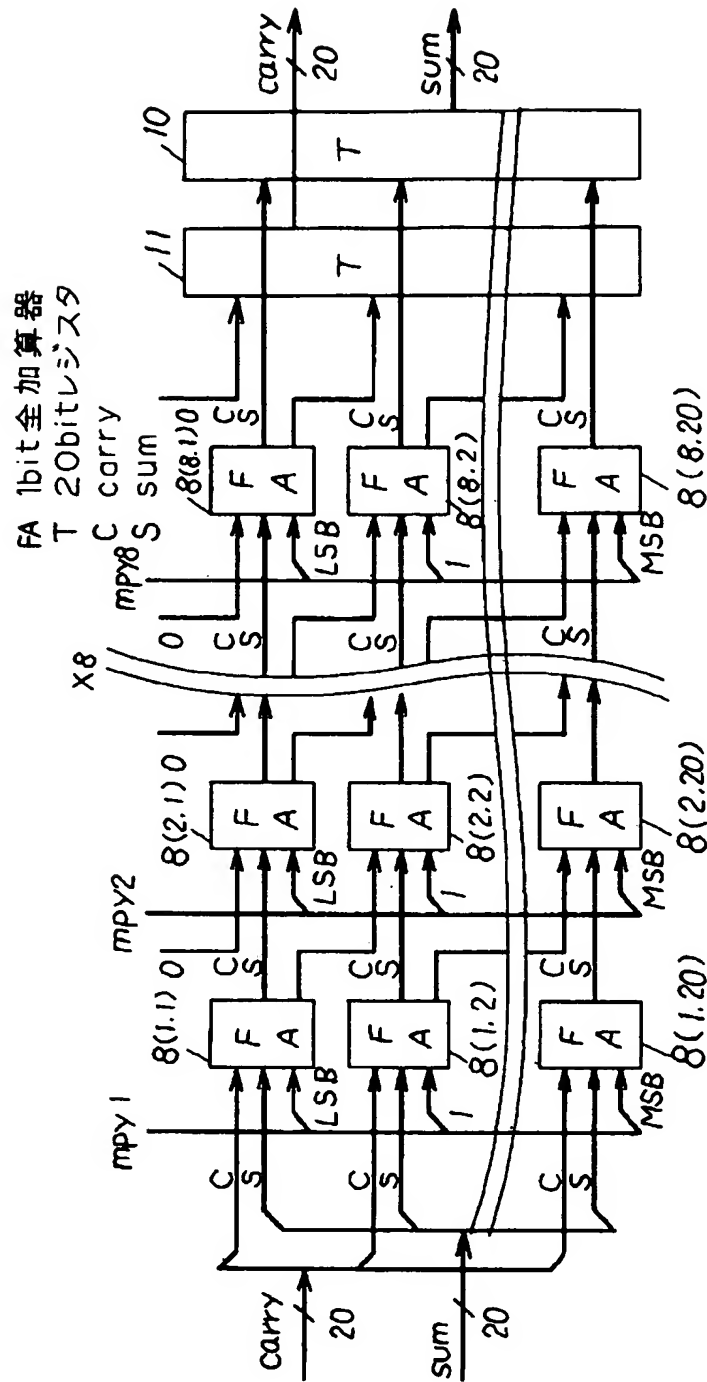
【図8】



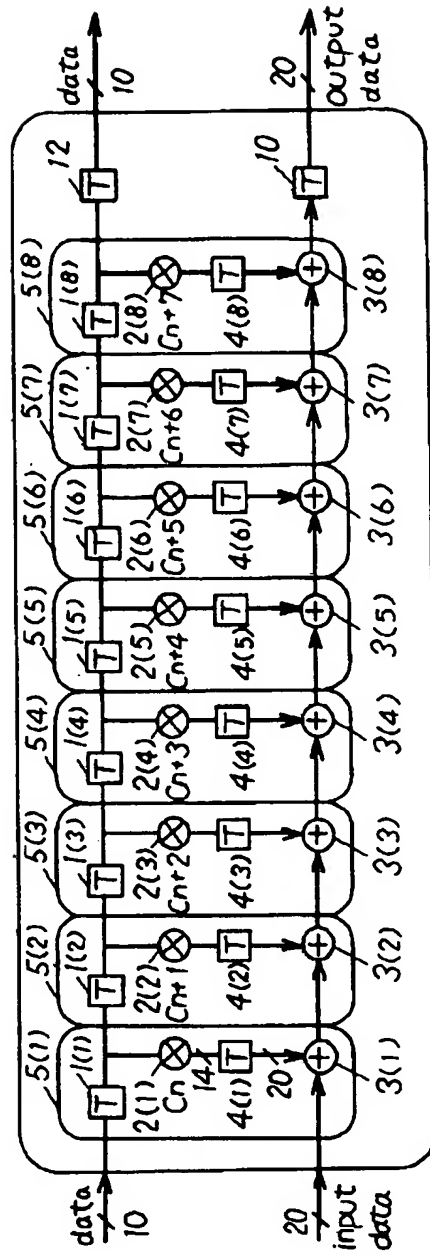
【図9】



[図5]



【図6】



【図11】

